

AEGE

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-48640

(43)公開日 平成10年(1998)2月20日

(51) Int.Cl.<sup>a</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
G 0 2 F 1/1339 5 0 0 G 0 2 F 1/1339 5 0 0  
1/136 5 0 0 1/136 5 0 0

審査請求 未請求 請求項の数 5 O.L. (全 7 頁)

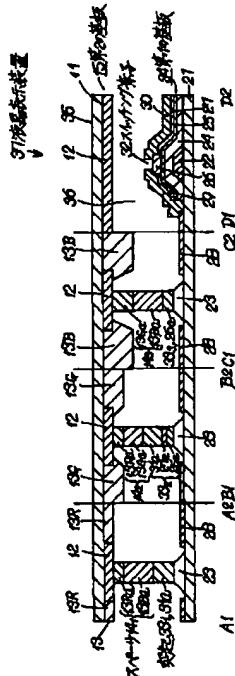
(21)出願番号	特願平8-200585	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成8年(1996)7月30日	(72)発明者	竹林 希佐子 神奈川県横浜市磯子区新杉田町8 株式会 社東芝横浜事業所内
		(72)発明者	花澤 康行 神奈川県横浜市磯子区新杉田町8 株式会 社東芝横浜事業所内
		(74)代理人	弁理士 横澤 裕 (外2名)

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 第1の基板および第2の基板の間隔を一定にして表示むらをなくしたアクティブマトリクス型液晶表示装置を提供する。

【解決手段】 対向基板15上に赤、緑および青色の着色層13R、13G、13Bのカラーフィルタ13を形成するとともに、これら着色層13R、13G、13Bのうち2色を用いて高さが異なるスペーサ14<sub>1</sub>、14<sub>2</sub>、14<sub>3</sub>を形成する。スペーサ14<sub>1</sub>、14<sub>2</sub>、14<sub>3</sub>に対向してマトリクスアレイ基板34に、薄膜トランジスタ32の半導体層25、エッチング保護層26、アモルファスシリコン層27、信号線31に対応する半導体層部25a、エッチング保護層部26a、アモルファスシリコン層部27a、信号線層部31aを用いて、突起33<sub>1</sub>、33<sub>2</sub>、33<sub>3</sub>を形成する。対向するスペーサ14<sub>1</sub>、14<sub>2</sub>、14<sub>3</sub>および突起33<sub>1</sub>、33<sub>2</sub>、33<sub>3</sub>の合計高さは等しくなり、いずれも等しい高さとなる。セルギャップが均一になり、表示品位が向上する。



## 【特許請求の範囲】

【請求項1】複数の信号線および複数の走査線をマトリクス状に配置しこれら信号線および走査線の各交差部にスイッチング素子を形成した第1の基板と、この第1の基板に対向して設けられ対向電極を有する第2の基板と、前記第1の基板および前記第2の基板の少なくとも一方上に形成された高さの異なるスペーサと、前記スペーサを介した第1の基板および第2の基板間に挟持された液晶とを具備したアクティブマトリクス型液晶表示装置において、

前記スペーサの高さに対応して前記第1の基板上に複数の異なる高さの突起を形成し、この対応した高さの突起上にスペーサを設置してスペーサおよび突起を加えた高さをそれほど同一高さとすることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】スペーサは、第1の基板および第2の基板の少なくとも一方上に形成された着色層を2色以上重ねて形成したことを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】スイッチング素子は、複数の膜で形成された薄膜トランジスタで、

突起は、この薄膜トランジスタを構成する膜の少なくとも一部で構成されたことを特徴とする請求項1または2記載のアクティブマトリクス型液晶表示装置。

【請求項4】突起は、複数の膜で形成され、下層の膜が上層の膜よりも大きいことを特徴とする請求項1ないし3いずれか記載のアクティブマトリクス型液晶表示装置。

【請求項5】突起は、絶縁膜および半導体膜の少なくともいずれかを有することを特徴とする請求項1ないし4いずれか記載のアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、表示むらをなくしたアクティブマトリクス型液晶表示装置に関する。

## 【0002】

【従来の技術】近年、コンピューターを中心とする情報機器分野およびテレビなどを中心とする映像機器分野において、高精細なアクティブマトリクス型の液晶表示装置が開発されている。

【0003】そして、このアクティブマトリクス型液晶表示装置は大きくはアレイ基板、このアレイ基板に対向した対向基板、および、アレイ基板および対向基板に挟持された液晶層を備えている。また、アレイ基板上にはマトリクス状に信号線および走査線が形成され、これら信号線および走査線の交点に対応して画素電極およびこの画素電極を制御するアクティブ素子が設けられている。一方、対向基板上には対向電極とRGBの着色層を有するカラーフィルタが形成されている。また、これら

アレイ基板および対向基板間にはこれらアレイ基板および対向基板の距離を一定に保つためのスペーサが設置されている。

【0004】そして、従来、スペーサとしては粒径の均一なプラスチックビーズが用いられている。

## 【0005】

【発明が解決しようとする課題】しかしながら、このようにプラスチックビーズをスペーサとすると、プラスチックビーズの周辺に光漏れによりコントラストが低下したり、散布むらにより表示むらが生ずることがある問題を有している。

【0006】そこで、これらコントラストの低下あるいは表示むらを防止するものとして、カラーフィルタの着色層を重ねて柱状のスペーサを非画素部のみに均等に設置する構成が考えられる。

【0007】すなわち、図8に示すように、絶縁性透明基板1上に、遮光層2を所定間隔で形成し、これら遮光層2間に、赤色の着色層3R、緑色の着色層3Gおよび青色の着色層3Bを配設してカラーフィルタ3を形成する。また、これら着色層3R、3G、3Bを形成する際に、遮光層2上に柱状のスペーサ4<sub>1</sub>、4<sub>2</sub>、4<sub>3</sub>を形成する。なお、スペーサ4<sub>1</sub>は隣接する赤色の着色層3Rおよび青色の着色層3Bに対応して赤色のスペーサ部4Rおよび青色のスペーサ部4Bにて形成され、スペーサ4<sub>2</sub>は隣接する赤色の着色層3Rおよび緑色の着色層3Gに対応して赤色のスペーサ部4Rおよび緑色のスペーサ部4Gにて形成され、スペーサ4<sub>3</sub>は隣接する緑色の着色層3Gおよび青色の着色層3Bに対応して緑色のスペーサ部4Gおよび青色のスペーサ部4Bにて形成され、対向基板5が形成されている。

【0008】一方、赤色の着色層3R、緑色の着色層3Gおよび青色の着色層3Bは、それぞれ異なる最適な膜厚で形成されているため、スペーサ4<sub>1</sub>、4<sub>2</sub>、4<sub>3</sub>はそれぞれ高さが異なってしまい、アレイ基板および対向基板間に均一なセルギャップが得られず表示むらが発生するおそれがある問題を有している。

【0009】本発明は、上記問題点に鑑みなされたもので、第1の基板および第2の基板の間隔を一定にして表示むらをなくしたアクティブマトリクス型液晶表示装置を提供することを目的とする。

## 【0010】

【課題を解決するための手段】本発明は、複数の信号線および複数の走査線をマトリクス状に配置しこれら信号線および走査線の各交差部にスイッチング素子を形成した第1の基板と、この第1の基板に対向して設けられ対向電極を有する第2の基板と、前記第1の基板および前記第2の基板の少なくとも一方上に形成された高さの異なるスペーサと、前記スペーサを介した第1の基板および第2の基板間に挟持された液晶とを具備したアクティブマトリクス型液晶表示装置において、前記スペーサの高さに対応して前記第1の基板上に複数の異なる高さの

突起を形成し、この対応した高さの突起上にスペーサを設置してスペーサおよび突起を加えた高さをそれぞれほぼ同一高さとするもので、スペーサの高さに対応して第1の基板に突起を設け、スペーサおよび突起を加えた高さをそれほど同じ高さとすることにより、第1の基板および第2の基板間を一定に保つことができ、表示むらがなくなる。

#### 【0011】

【発明の実施の形態】以下、本発明のアクティブマトリクス型液晶表示装置の一実施の形態を図面を参照して説明する。

【0012】図1に示すように、絶縁性透明基板11上に膜厚1.0μmに遮光層12がマトリクス状に形成され、このマトリクス状の遮光層12で囲われた部分に、膜厚1.5μmの赤色の着色層13R、膜厚1.8μmの緑色の着色層13Gおよび膜厚2.0μmの青色の着色層13Bがそれぞれ形成されてカラーフィルタ13を形成している。

【0013】また、赤色の着色層13Rの間に遮光層12にはスペーサ14<sub>1</sub>が形成され、緑色の着色層13Gの間にスペーサ14<sub>2</sub>が形成され、青色の着色層13Bの間に遮光層12にはスペーサ14<sub>3</sub>が形成されている。そして、それぞれのスペーサ14<sub>1</sub>、14<sub>2</sub>、14<sub>3</sub>は、底面が1.5μm×1.5μmの正方形で、スペーサ14<sub>1</sub>は膜厚1.5μmの赤色の着色層部13Raおよび膜厚2.0μmの青色の着色層部13Baにより形成されて高さが3.5μmで、スペーサ14<sub>2</sub>は膜厚1.5μmの赤色の着色層部13Raおよび膜厚1.8μmの緑色の着色層部13Gaにより形成されて高さが3.3μmで、スペーサ14<sub>3</sub>は膜厚1.8μmの緑色の着色層部13Gaおよび膜厚2.0μmの青色の着色層部13Baにより形成されて高さが3.8μmである。なお、いずれの場合にも、スペーサ14<sub>1</sub>、14<sub>2</sub>、14<sub>3</sub>は、表示に影響を与えない遮光層12上に形成されている。

【0014】そして、これらの表面にITOなどの図示しない透明電極を形成するとともに、配向膜を塗布した後にラビング処理して、第2の基板である対向基板15を形成している。

【0015】また、製造に際しては、絶縁性透明基板11上に感光性の黒色樹脂を塗布し、露光、現像、焼成して膜厚1.0μmの遮光層12を形成する。

【0016】次に、赤色の顔料を分散させた紫外線硬化型アクリル樹脂レジストを塗布し、露光・現像・焼成を行い膜厚1.5μmの赤色の着色層13Rおよびスペーサ14<sub>1</sub>、14<sub>2</sub>の着色層部13Raを形成する。同様の工程を繰り返し、膜厚2.0μmの緑色の着色層13Gおよびスペーサ14<sub>2</sub>、14<sub>3</sub>の着色層部13Ga、および、膜厚1.8μmの青色の着色層13Bおよびスペーサ14<sub>1</sub>、14<sub>3</sub>の着色層部13Baを形成する。すなわち、画素毎にスペーサ14<sub>1</sub>、14<sub>2</sub>、14<sub>3</sub>の高さが異なる。

【0017】その後、スパッタ法にてITOを成膜してパターニングして図示しない透明電極を形成し、さらに配向膜を塗布した後ラビング処理して、対向基板15を形成している。

【0018】また、図1および図2に示すように、絶縁性透明基板21上に、ゲート電極22を形成し、このゲート電極22にはこのゲート電極22と一緒に走査線23が形成され、このゲート電極22上にはゲート絶縁膜層24およびアモルファスシリコン(a-Si)の半導体層25が積層形成されている。また、半導体層25の上部のゲート電極22の上方には、エッチング保護層26が形成され、半導体層25の上部のエッチング保護層26の両側にはn<sup>+</sup>-a-Siのアモルファスシリコン層27が形成されている。さらに、絶縁性透明基板21上には、ゲート電極22間に位置して、ITOの画素電極28がマトリクス状に形成されている。また、エッチング保護層26の一端側のアモルファスシリコン層27上には画素電極28に電気的に接続されてソース電極29が形成され、エッチング保護層26の他端側のアモルファスシリコン層27上にはドレイン電極30が形成され、このドレイン電極30にはこのドレイン電極30と一緒に信号線31が走査線23に直交して形成され、走査線23および信号線31の各交点にスイッチング素子としてのチャネル保護型ポトムゲートの薄膜トランジスタ32が形成される。

【0019】さらに、走査線23上にスペーサ14<sub>1</sub>、14<sub>2</sub>、14<sub>3</sub>に対向し同様に底面が1.5μm×1.5μmの正方形の突起33<sub>1</sub>、33<sub>2</sub>、33<sub>3</sub>が形成されている。そして、高さ3.5μmのスペーサ14<sub>1</sub>に対向する突起33<sub>1</sub>はソース電極29およびドレイン電極30を形成する膜厚5000オングストロームの信号線層部31aにて形成され、高さ3.3μmのスペーサ14<sub>2</sub>に対向する突起33<sub>2</sub>は膜厚1000オングストロームの半導体層部25a、膜厚1000オングストロームのアモルファスシリコン層部27aおよび5000オングストロームの信号線層部31aの合計膜厚7000オングストロームにて形成され、高さ3.8μmのスペーサ14<sub>3</sub>に対向する突起33<sub>3</sub>は膜厚2000オングストロームのエッチング保護層部26aにて形成されている。したがって、高さ3.5μmのスペーサ14<sub>1</sub>に膜厚5000オングストロームの突起33<sub>1</sub>が対向して合計高さ4.0μmになり、高さ3.3μmのスペーサ14<sub>2</sub>に膜厚7000オングストロームの突起33<sub>2</sub>が対向して合計高さ4.0μmになり、高さ3.8μmのスペーサ14<sub>3</sub>に膜厚2000オングストロームの突起33<sub>3</sub>が対向して合計高さ4.0μmになり、いずれも等しい高さとなる。なお、画素毎にスペーサ14<sub>1</sub>、14<sub>2</sub>、14<sub>3</sub>の高さが異なるため、突起33<sub>1</sub>、33<sub>2</sub>、33<sub>3</sub>の高さも同様に画素毎に異なる。

【0020】そして、これらにて第1の基板としてのマトリクスアレイ基板34が形成される。

【0021】また、製造に際しては、ゲート電極22、ゲ

ート絶縁膜層24、半導体層25、アモルファスシリコン層27、エッチング保護層26、ソース電極29およびドレイン電極30の成膜とバーナーニングを繰り返して、絶縁性透明基板21上に薄膜トランジスタ32が形成される。

【0022】このとき、突起33<sub>1</sub>はドレイン電極30が接続された信号線31とともに信号線層部31aを形成し、突起33<sub>2</sub>は半導体層25とともに半導体層部25aを、アモルファスシリコン層27とともにアモルファスシリコン層部27aを、信号線31とともに信号線層部31aを順次形成することにより形成し、突起33<sub>3</sub>はエッチング保護層26とともにエッチング保護層部26aを形成する。

【0023】その後、配向膜を塗布した後ラビング処理して、マトリクスアレイ基板34を形成している。

【0024】また、対向基板15およびマトリクスアレイ基板34を対向させ、図示しないシール材により対向基板15およびマトリクスアレイ基板34の周囲を封着して液晶セル35とし、この液晶セル35に液晶36（ZLI-5080, E. Merck 社製）を注入し、液晶36の層厚dが5.0μmのアクティブマトリクス型液晶表示装置37を完成する。

【0025】そして、このアクティブマトリクス型液晶表示装置37を駆動したところ、スペーサ14<sub>1</sub>, 14<sub>2</sub>, 14<sub>3</sub>の高低差はマトリクスアレイ基板34上の突起33<sub>1</sub>, 33<sub>2</sub>, 33<sub>3</sub>で補正されているため均一なセルギャップ、すなわちマトリクスアレイ基板34および対向基板15の距離が得られ、表示むらはみられなかった。また、スペーサ14<sub>1</sub>, 14<sub>2</sub>, 14<sub>3</sub>を用いたことにより高コントラストであるのはもちろんあるが、着色層13R, 13G, 13Bの膜厚最適化により色合いがよく色純度が高く、明るく透過率の高い良好な表示が得られた。

【0026】次に、他の実施の形態のアクティブマトリクス型液晶表示装置について、図3を参照して説明する。

【0027】この図3に示すアクティブマトリクス型液晶表示装置は、図1および図2に示すアクティブマトリクス型液晶表示装置において、スペーサ14<sub>1</sub>は膜厚0.8μmの赤色の着色層部13Raおよび膜厚1.1μmの青色の着色層部13Baにより形成されて高さが1.9μmで、スペーサ14<sub>2</sub>は膜厚0.8μmの赤色の着色層部13Raおよび膜厚0.9μmの緑色の着色層部13Gaにより形成されて高さが1.7μmで、スペーサ14<sub>3</sub>は膜厚0.9μmの緑色の着色層部13Gaおよび膜厚1.1μmの青色の着色層部13Baにより形成されて高さが2.0μmである。

【0028】そして、高さ1.9μmのスペーサ14<sub>1</sub>に対向する突起33<sub>1</sub>は膜厚1000オングストロームの半導体層部25aおよび膜厚2000オングストロームのエッチング保護層部26aに合計膜厚3000オングストロームに形成され、高さ1.7μmのスペーサ14<sub>2</sub>に対向する突起33<sub>2</sub>は膜厚5000オングストロームの信号線

層部31aで形成され、高さ2.0μmのスペーサ14<sub>3</sub>に対向する突起33<sub>3</sub>は膜厚1000オングストロームの半導体層部25aで形成されている。したがって、高さ1.9μmのスペーサ14<sub>1</sub>に膜厚3000オングストロームの突起33<sub>1</sub>が対向して合計高さ2.2μmになり、高さ1.7μmのスペーサ14<sub>2</sub>に膜厚5000オングストロームの突起33<sub>2</sub>が対向して合計高さ2.2μmになり、高さ2.0μmのスペーサ14<sub>3</sub>に膜厚1000オングストロームの突起33<sub>3</sub>が対向して合計高さ2.1μmになり、いずれもほぼ等しい高さとなる。

【0029】そして、この図3に示すアクティブマトリクス型液晶表示装置37を駆動したところ、前述の場合と同様に、表示むらが無く良好な表示が得られた。

【0030】なお、この場合スペーサ14<sub>1</sub>と突起33<sub>1</sub>の合計高さおよびスペーサ14<sub>2</sub>と突起33<sub>2</sub>の合計高さと、スペーサ14<sub>3</sub>と突起33<sub>3</sub>の合計高さとの間には、約0.1μmの差異があるが、本実施の形態の液晶表示装置においては、表示むらは観察されなかった。

【0031】また、ツイステッドネマティック（TN）型液晶表示素子においては、通常このギャップ差は好ましくは0.3μm未満、さらに好ましくは0.2μm以下の範囲であれば許容される。したがって、各スペーサ14<sub>1</sub>, 14<sub>2</sub>, 14<sub>3</sub>と突起33<sub>1</sub>, 33<sub>2</sub>, 33<sub>3</sub>の合計高さをこの範囲内となるように調整することによって、均一な表示が得られる。

【0032】このように、突起33<sub>1</sub>, 33<sub>2</sub>, 33<sub>3</sub>を構成する膜は自由に組み合わせができるため、スペーサ14<sub>1</sub>, 14<sub>2</sub>, 14<sub>3</sub>の高さに応じて突起高さを変更することが可能である。

【0033】また、他の実施の形態のアクティブマトリクス型液晶表示装置について、図4を参照して説明する。

【0034】この図4に示すアクティブマトリクス型液晶表示装置は、図1および図2に示すアクティブマトリクス型液晶表示装置において、薄膜トランジスタをトップゲート型にし、そして、高さ3.5μmのスペーサ14<sub>1</sub>に対向する突起33<sub>1</sub>は膜厚5000オングストロームの信号線層部31aにて形成され、高さ3.3μmのスペーサ14<sub>2</sub>に対向する突起33<sub>2</sub>は膜厚2000オングストロームの半導体層部25aおよび5000オングストロームの信号線層部31aの合計膜厚7000オングストロームに形成され、高さ3.8μmのスペーサ14<sub>3</sub>に対向する突起33<sub>3</sub>は膜厚2000オングストロームのアモルファスシリコン層部27aで形成されている。したがって、高さ3.5μmのスペーサ14<sub>1</sub>に膜厚5000オングストロームの突起33<sub>1</sub>が対向して合計高さ4.0μmになり、高さ3.3μmのスペーサ14<sub>2</sub>に膜厚7000オングストロームの突起33<sub>2</sub>が対向して合計高さ4.0μmになり、高さ3.8μmのスペーサ14<sub>3</sub>に膜厚2000オングストロームの突起33<sub>3</sub>が対向して合計高さ4.0

$\mu\text{m}$ になり、いずれも等しい高さとなる。

【0035】そして、この図4に示すアクティブマトリクス型液晶表示装置37を駆動したところ、前述の場合と同様に、表示むらが無く良好な表示が得られた。

【0036】また、このようにボトムゲート型に限らずトップゲート型の場合にも有効である。

【0037】さらに、他の実施の形態のアクティブマトリクス型液晶表示装置について、図5を参照して説明する。

【0038】この図5に示すアクティブマトリクス型液晶表示装置は、図1および図2に示すアクティブマトリクス型液晶表示装置において、スペーサ $14_1$ 、 $14_2$ 、 $14_3$ は底面を $15\mu\text{m} \times 15\mu\text{m}$ の正方形状にしたままで、突起 $33_1$ 、 $33_2$ 、 $33_3$ の底面を $25\mu\text{m} \times 25\mu\text{m}$ の正方形状にしたものである。

【0039】そして、マトリクスアレイ基板34と対向基板15との合わせずれが大きい場合にも、突起突起 $33_1$ 、 $33_2$ 、 $33_3$ とスペーサ $14_1$ 、 $14_2$ 、 $14_3$ とのずれによるスペーサ $14_1$ 、 $14_2$ 、 $14_3$ の強度のばらつきがないため表示むらは発生せず、歩留まりが向上した。

【0040】またさらに、他の実施の形態のアクティブマトリクス型液晶表示装置について、図6を参照して説明する。

【0041】この図6に示すアクティブマトリクス型液晶表示装置は、図1および図2に示すアクティブマトリクス型液晶表示装置において、スペーサ $14_1$ 、 $14_2$ 、 $14_3$ は底面を $15\mu\text{m} \times 15\mu\text{m}$ の正方形状にしたままで、突起 $33_1$ 、 $33_2$ 、 $33_3$ の底面を $10\mu\text{m} \times 10\mu\text{m}$ の正方形状にしたものである。

【0042】そして、突起 $33_1$ 、 $33_2$ 、 $33_3$ のサイズでスペーサ機能としての強度が決まるため、スペーサ $14_1$ 、 $14_2$ 、 $14_3$ との合わせずれが生じた場合にも表示むらは発生しない。また、スペーサ $14_1$ 、 $14_2$ 、 $14_3$ に比べマトリクスアレイ基板34上の突起 $33_1$ 、 $33_2$ 、 $33_3$ の方がパターンニング精度が高く太さのばらつきによるスペーサ $14_1$ 、 $14_2$ 、 $14_3$ の強度のばらつきもないため、図5に示すアクティブマトリクス型液晶表示装置37に比べ、歩留まりが向上した。

【0043】そしてまた、他の実施の形態のアクティブマトリクス型液晶表示装置について、図7を参照して説明する。

【0044】この図7に示すアクティブマトリクス型液晶表示装置は、図5に示すアクティブマトリクス型液晶表示装置において、突起 $33_2$ の半導体層部25aの底面を $35\mu\text{m} \times 35\mu\text{m}$ の正方形状、アモルファスシリコン層部27aの底面を $25\mu\text{m} \times 25\mu\text{m}$ の正方形状、信号線層部31aの底面を $15\mu\text{m} \times 15\mu\text{m}$ の正方形状にし、上方に向かうにしたがって径小にしたものである。

【0045】そして、このように突起 $33_2$ を形成して配向膜を塗布しラビング処理したところ、突起サイズが大きい場合にみられる突起 $33_2$ の周辺の配向不良は生じなかつた。また、ラビングによる膜はがれも発生せず図5に示す実施の形態のものに比べて歩留まりが向上した。

【0046】上記実施の形態では、マルチギャップ構造の場合について説明したが、柱状あるいはその他のスペーサの高さが一定とならない構成であれば、同様に適用できる。また、工程数を増加させることなく、マトリクスアレイ基板上の突起の高さでマトリクスアレイ基板および対向基板間の間隔を補正することにより均一なセルギャップが得られるだけでなく、スペーサの設計の自由度も広がり、最適設計により表示品位も向上する。

【0047】

【発明の効果】本発明によれば、スペーサの高さに対応して第1の基板上に複数の異なる高さの突起を形成し、この対応した高さの突起上にスペーサを設置してスペーサおよび突起を加えた高さをそれぞれほぼ同一高さとするもので、スペーサの高さに対応して第1の基板に突起を設け、スペーサおよび突起を加えた高さをそれければ同じ高さとすることにより、第1の基板および第2の基板間を一定に保つことができ、表示むらを防止でき、表示品位が向上する。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス型液晶表示装置の一実施の形態を示す断面図である。

【図2】同上マトリクスアレイ基板を示す平面図である。

【図3】同上アクティブマトリクス型液晶表示装置の他の実施の形態を示す断面図である。

【図4】同上アクティブマトリクス型液晶表示装置のまた他の実施の形態を示す断面図である。

【図5】同上アクティブマトリクス型液晶表示装置のさらに他の実施の形態を示す断面図である。

【図6】同上アクティブマトリクス型液晶表示装置のまたさらに他の実施の形態を示す断面図である。

【図7】同上アクティブマトリクス型液晶表示装置のそしてまた他の実施の形態を示す断面図である。

【図8】従来例のアクティブマトリクス型液晶表示装置の対向基板を示す平面図である。

【符号の説明】

14<sub>1</sub>、14<sub>2</sub>、14<sub>3</sub> スペーサ

15 第2の基板としての対向基板

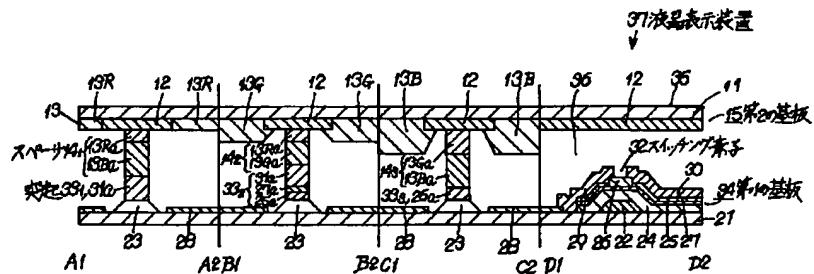
32 スイッチング素子としての薄膜トランジスタ

33<sub>1</sub>、33<sub>2</sub>、33<sub>3</sub> 突起

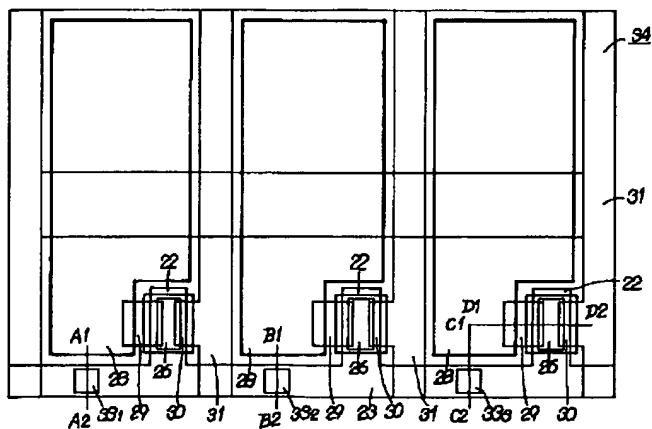
34 第1の基板としてのマトリクスアレイ基板

37 アクティブマトリクス型液晶表示装置

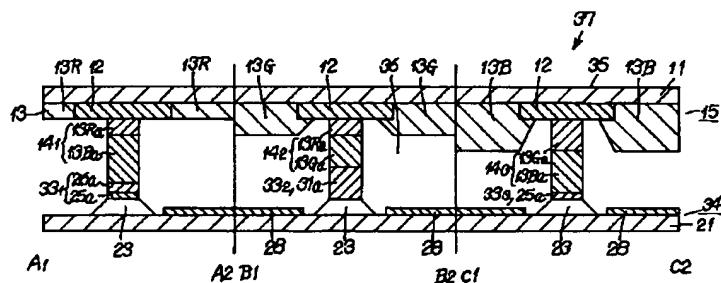
【図1】



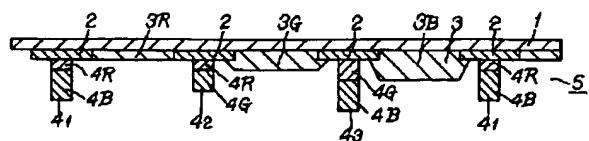
【図2】



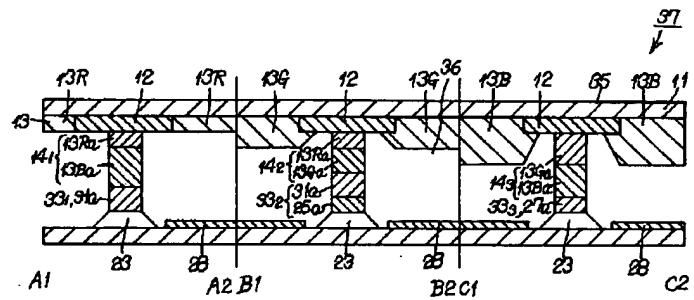
〔図3〕



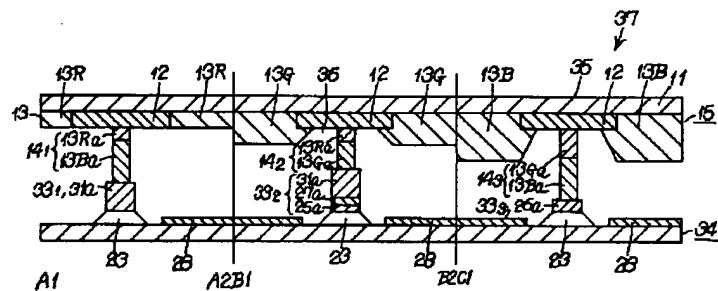
〔図8〕



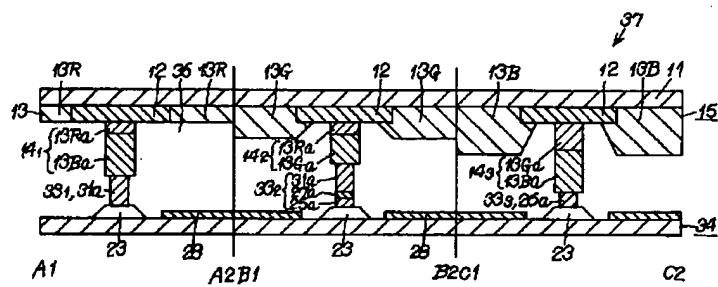
【図4】



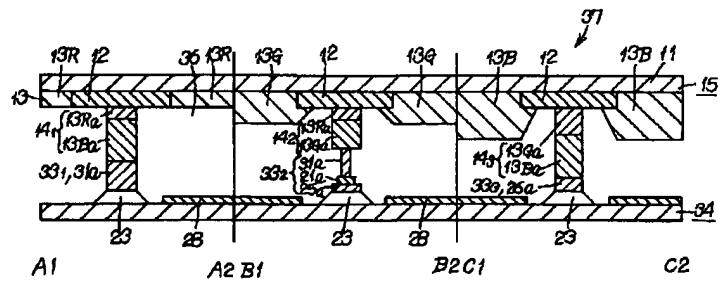
【図5】



【図6】



【図7】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-048640**

(43)Date of publication of application : **20.02.1998**

---

(51)Int.CI.

G02F 1/1339

G02F 1/136

---

(21)Application number : **08-200585**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **30.07.1996**

(72)Inventor : **TAKEBAYASHI KISAKO  
HANAZAWA YASUYUKI**

---

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix type liquid crystal display device which maintains the specified spacing between a first substrate and a second substrate and eliminates unequal display.

SOLUTION: Color filters 13 of colored layers 13R, 13G, 13B of red, green and blue are formed on a counter substrate 15 and spacers 141, 142, 143 varying in height are formed by using two colors among these colored layers 13R, 13G, 13B. Projections 331, 332, 333 are formed to face these spacers 141, 142, 143 by using semiconductor layers 25 of thin-film transistors(TFTs) 32, etching protective layers 26, amorphous silicon layers 27, semiconductor layer parts 25a corresponding to signal lines 31, etching protective layer parts 26a, amorphous silicon layer parts 27a and signal line layer parts 31a on a matrix array substrate 34. The total heights of the

spacers 141, 142, 143 and the projections 331, 332, 333 are equaled. The equal heights are thus obtd. with both. A cell gap is made uniform and the display grade is improved.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

[rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office